

CLIPPEDIMAGE= JP356040269A
PAT-NO: JP356040269A
DOCUMENT-IDENTIFIER: JP 56040269 A
TITLE: PREPARATION OF SEMICONDUCTOR DEVICE

PUBN-DATE: April 16, 1981

INVENTOR-INFORMATION:

NAME

IIZUKA, HISAKAZU

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP54115681

APPL-DATE: September 11, 1979

INT-CL (IPC): H01L027/04; H01L021/28 ; H01L021/88 ; H01L029/78

US-CL-CURRENT: 257/538,257/543 ,257/755 ,257/914

ABSTRACT:

PURPOSE: To obtain a micro-resistance element by providing a polycrystalline Si layer containing a large quantity of impurities on the diffused region provided on a semiconductor substrate, and implanting O or N ions in the layer.

CONSTITUTION: On a p type Si substrate 21, an n type region 22 is provided by diffusion. The whole surface including the region 22 is coated with an SiO₂ film 23, in which a contact opening 24 is made corresponding to the region 22. Then, a polycrystalline Si layer 25 containing a high rate of P is accumulated on the whole surface, and patterned so that the layer 25 is left only on the opening 24 and the film 23 on the circumference of the opening 24. After that, a SiO₂ film 26 to be a mask is provided over from the circumference of the layer 25 to the film 23, and O or N ions are implanted in the layer 25 to be amorphous, which is then treated on heating to obtain a high resistivity, and coated with an Al electrode 27. This permits a resistance element having a geometry dimension of the order of 2μm to be formed without

the need of allowance of the mask dimension. Consequently, the integrating density is raised.

COPYRIGHT: (C)1981,JPO&Japio

⑬ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭56—40269

⑪ Int. Cl.³
H 01 L 27/04
21/28
21/88
29/78

識別記号

庁内整理番号
7210—5F
7638—5F
7210—5F
6603—5F

⑬ 公開 昭和56年(1981)4月16日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ 半導体装置の製造方法

川崎市幸区小向東芝町1 東京芝
浦電気株式会社総合研究所内

⑯ 特 願 昭54—115681

⑰ 出 願 人 東京芝浦電気株式会社

⑱ 出 願 昭54(1979)9月11日

川崎市幸区堀川町72番地

⑲ 発 明 者 飯塚尚和

⑳ 代 理 人 弁理士 則近憲佑 外1名

明 細 書

1. 発明の名称 半導体装置の製造方法

2. 特許請求の範囲

(1) 半導体基体表面に不純物導入層又は配線層を形成する工程と、少なくとも前記不純物導入層又は配線層上に設けられたコンタクト孔に多結晶シリコン層を被着する工程と、少なくとも前記コンタクト孔内の不純物導入層又は配線層と重なる部分の多結晶シリコン層全領域上から、前記多結晶シリコン層内に酸素又は酸素イオンの少なくとも一種をイオン注入する工程とを備え、前記イオン注入された多結晶シリコン層により抵抗素子を形成するようにしたことを特徴とする半導体装置の製造方法。

(2) 抵抗素子をトランジスタのソース又はドレイン領域上に設けたことを特徴とする前記特許請求の範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

本発明は抵抗素子に多結晶シリコンを用いた半導体装置の製造方法に関する。

従来より第1図にその概略を示す様な抵抗素子を備えた半導体装置が知られている。即ち半導体基板11上にシリコン酸化膜12及び抵抗素子となるリン等の不純物が予め添加された多結晶シリコン層13を被着し、このポリシリコン層13の抵抗素子部を酸化シリコン膜14で被覆する。次に抵抗素子部両端の多結晶シリコン層13に対して前記酸化シリコン膜14を拡散マスクとしてリン等の導電性を示す不純物を充分に熱拡散して、抵抗素子の両端とオーミック接触を為す拡散層15,16を形成する。その後さらにPBG等パッシベーション被膜形成、PBGメルト、 $A\bar{A}$ 配線、シンタリング等諸工程を経て半導体装置を完成するものである。

然し、所定長さ(4)の抵抗素子を形成しようとする、これら導電性を示す不純物の多結晶シリコン中の拡散係数が大きく、拡散層15,16形成の熱拡散時に不純物が横方向にも拡散してマスク14下にも及ぶ。例えば1000℃、20分の熱拡散で横方向に2μ拡散する。従つてマスク14の寸法はこの拡散分を見込んで4+4μを要し、抵抗素子のマスクバ

(1)

(2)

ターンは6μ以上必要であり、超微細化の妨げとなっていた。

しかも半導体装置の製造に係る必然的な熱結工程により不純物分布の変化を招き易く、これが高精度を要求するにはこれら変化分を予め見込んで設計する煩しさがあつた。

さらに抵抗素子の抵抗値は1MΩ以上は得難いものであつた。これは多結晶シリコンの伝導機構は良く知られているように結晶粒同志が接する粒界の特性により変化し、高抵抗を招く場合には多結晶シリコンの成長条件、不純物導入及び熱工程の影響を大きく受けるからである。とり分け高抵抗では添加する不純物が微量の為に添加量に対する抵抗値変化は急峻で制御性が悪い。また不純物添加を多結晶シリコン被覆と同時に、即ち不純物雰囲気下で多結晶シリコンの成長を行なう場合には不純物量と多結晶シリコンの成長条件が同時に作用し抵抗値を精度良く制御し切れない。従つて実現し得る抵抗値の上限は実質的には1MΩに止まるものであつた。

(3)

本発明は上記事情に鑑みて為されたもので半導体基体表面に不純物導入層又は配線層を形成する工程と、多結晶シリコン層を少なくとも前記不純物導入層又は配線層上に設けられたコンタクト孔に被覆する工程と、少なくとも前記コンタクト孔内の不純物導入層又は配線層と重なる部分の多結晶シリコン層全領域上から、多結晶シリコン層内に酸素又は窒素イオンの少なくとも一種をイオン注入する工程とを備え、前記イオン注入された多結晶シリコン層により抵抗素子を形成するようにしたことを特徴とする。先述従来法の欠点を一掃し得る半導体装置の製造方法を提供するものである。

以下、本発明を一実施例につき図面を参照して詳述する。

第2図(a)~(d)は本実施例を各製造工程に従い説明する為の断面図である。先ず半導体基体例えばP型シリコン基板(1)及び逆型の即ちN型の不純物例えばリン(P)を 10^{20} cm^{-3} 程度拡散導入して形成したN型層(2)及び表面に半導体無機回路製造の一工

(4)

程として1μ厚の酸化シリコン膜(3)を形成したのち、N型層(2)部にコンタクト孔(4)を開ける。

尚、酸化シリコン膜(3)のコンタクト孔(4)から不純物を導入してN型層(2)を得るようにしても良い。

次に全体上に5000Å厚の不純物として例えばリンが高濃度例えば 10^{21} cm^{-3} に添加されたリン添加多結晶シリコン層(5)を例えばOVD法により被覆したのち、一部は前記酸化シリコン膜(3)上に存在する如くコンタクト孔(4)を被つてパターンニングする(第2図e)。

その後、酸化シリコン膜(3)のコンタクト孔(4)外周部近傍にある多結晶シリコン層(5)を覆う如く新たにOVD形成した酸化シリコン膜(6)をパターンニングを経て被覆する(第2図f)。

さらに酸化シリコン膜(6)をマスクとして酸素(O)又は窒素(N)イオンの少なくとも一種以上を例えば酸素を少なくともコンタクト孔(4)内のN型層(2)と重なる部分のリン添加多結晶シリコン層(5)全領域上から、ここではコンタクト孔(4)周辺の一部も含めて前記層(5)にイオン注入する(第2図g)。

(5)

N型層(2)と重なる部分の多結晶シリコン層全領域上からイオン注入することにより、後述Al配線とN型層(2)間が導通状態になることはない。イオン注入された領域は非晶質化するが、後の熱工程により SiO_x ($x \leq 2$) が、酸素をイオン注入した場合には Si_3N_x ($x \leq 4$) が、両者をイオン注入した場合には SiO_x 、 Si_3N_x が生成されて抵抗が高まる。前記熱工程は SiO_x 、 Si_3N_x 生成の為に特に特別に設けても良いが、イオン注入のみでも抵抗が高まる効果があり、また先述したように後のPBG等パッシベーション被膜形成、PBGメルト、Al配線のシンタリング等の半導体装置製造に係る必然的な熱結工程でこの熱工程を兼用しても良い。ドーザ量は好ましくは $10^{12} \sim 10^{18} \text{ cm}^{-2}$ 例えば $5 \times 10^{15} \text{ cm}^{-2}$ である。

第4図hに示した工程の後、前記酸化シリコン層(6)の開孔部にAl配線(7)を形成する(第2図d)。これによりN型層(2)Al配線(7)間に抵抗素子が形成される。

抵抗素子の寸法はイオン注入時の照射領域と実

(6)

質的に同一である。これは酸素又は窒素がイオン注入された領域はイオン注入前の多結晶シリコンの性質と比べて著しく異なり、従つて後の幾多の熱処理工程を経て従来法に比してN型層 ④ や低抵抗多結晶シリコン部 ④ からの新たなリンの拡散が少ないこと、またイオン注入法が直進性を有すること、リン等導電性を有する不純物に比較して酸素や窒素の拡散係数が10分の1以下であるために後の熱処理工程で酸素や窒素が周囲に拡散し難いこと等による。このように抵抗素子の寸法の精度も高く、即ち抵抗値の精度が高い。

また抵抗素子の大きさはほぼコンタクト孔 ④ の程度に出来るので、パターンニング寸法精度例えば2 μ mの専有面積で済み、高集積化に極めて有効である。これは従来法で2 μ mの抵抗素子を得るには6 μ mのマスキング寸法を要したのに比較して、実に数倍の微細化を実現出来るものである。

さらに本実施例では A 電極 ④ をN型層 ④ 上方に設けているので抵抗素子の所請長さは多結晶シリコン層の膜厚で決まり $\pm 5\%$ 以内の精度で制御出

(7)

法の他の例を第3図～第5図に示す。即ち多結晶シリコン層 ④ の非イオン注入領域 ④ の少なくとも一部分に接触するように A 電極 ④ を形成してよい(第3図)。さらに高抵抗化した多結晶シリコン層と A 電極 ④ とを直接接合させずに新たに低抵抗多結晶シリコン層 ④ を介在させて接触を得ても良いし(第4図)また延在する非イオン注入領域 ④ のみと接触させても良い(第5図)。

第6図は低抵抗素子として用いる場合の他の端子の形成方法に関するものである。高抵抗ポリシリコンの一端は直接 A 配線 ④ に接続し、他端は半導体表面の拡散層 ④ を介し、酸化膜に形成された他の開孔部 ④ を介して A 配線 ④ と接続される。

第7図は上述した抵抗素子をMOS型トランジスタと結合させた一例で、抵抗素子(70)と、ゲート酸化膜(71)上に形成された不純物添加ポリシリコンゲート電極(72)と、ソース(73)及びドレイン(74)即ち抵抗素子と接続している基板と反対導電型の領域とから成る。このように本発明に依れば抵抗素子を他の素子上に重ねることが出来るので

(9)

来る。

さらに抵抗素子の抵抗値を決定する主要素である酸素又は窒素のイオン注入は多結晶シリコン層の成長条件とは独立に抵抗値が制御出来る。即ち従来の抵抗素子で高抵抗を得るには多結晶シリコン層の成長条件及び価値量の不純物導入により多結晶シリコン層の抵抗は制御性が悪かつた。これに対し本実施例では多結晶シリコン層に導電性を示す不純物を相当量添加して一旦抵抗を配線として機能する程度に充分に下げたのち、イオン注入法により酸素又は窒素を相当量イオン注入して抵抗を徐々に高めて行くので精度良く所望の高抵抗値を得ることが出来る。

以上説明した多結晶シリコン層はリンの代わりにボロン(B)、砒素を含んでいてよく、或いはこれらのうち2種以上を有していても良い。尚、特に高抵抗を得る為には不純物非添加多結晶シリコン層に酸素又は窒素の少なくとも一種をイオン注入する手段を採ることが出来る。

次に以上説明してきた抵抗素子に対する配線方

(8)

高集積化の点で極めて有効である。

第8図は第7図に示したトランジスタと抵抗素子とからなる回路を構成単位とするスタティック動作型のフリップフロップ記憶セルを示す。即ち Tr_1 乃至 Tr_4 はトランジスタで、うち Tr_2 及び Tr_4 はスイッチングトランジスタであり、言暗線 WL のパルスに従いビット線 DL , $\overline{\text{DL}}$ と記憶セルとの導通をとる。抵抗 R_1 , R_2 はトランジスタ Tr_1 , Tr_3 の夫々負荷抵抗となり逐次電源端子 V_{DD} から端子 V_{SS} に至る電流路を形成して2安定状態とするものである。ここで Tr_1 及び R_1 、また Tr_3 及び R_2 は第5図に示した様に構成されているので極めて高集積化出来る。しかも R_1 , R_2 は高抵抗が得られるので低消費電力化が達成される。

例えば従来の抵抗素子では R_1 , R_2 は最大1M Ω であつた為に、1セル当りの消費電力はおよそ5 μ Aとなり64KビットのRAMの全メモリアレイではおよそ330mAが消費される。これに対して本実施例で10⁵M Ω の負荷抵抗素子を用いれば僅か3.3 μ Aにしか過ぎない。これは大容量メモリの実

00

現に於て本発明の有効性を示す一例である。

尚、以上の実施例では不純物導入層上に抵抗素子が重なるように設ける場合について述べたが、配線にも同様に本発明を適用することが出来る。

4. 図面の簡単な説明

第1図は従来方法を説明する為の断面図、第2図(a)~(d)は本発明の一実施例の抵抗素子の製法を説明する為の工程断面図、第3図乃至第5図は第2図に示した抵抗素子の配線方式を説明する為の断面図、第4図はさらに第2図に示した抵抗素子の他の配線方式を説明する為の断面図、第6図は抵抗素子の配線方式の変形例を説明する為の断面図、第7図は抵抗素子とMOS型トランジスタとを接続した半導体装置を説明する為の断面図、第8図は第7図に示した半導体装置によりフリップフロップを構成した場合の回路図である。

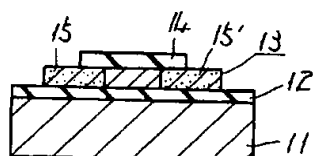
第2図に於いて、

- 21 … P型シリコン基板、 22 … N型層、
23 … 酸化シリコン膜、 24 … コンタクト孔、
25 … 多結晶シリコン層、 26 … 酸化シリコン層、

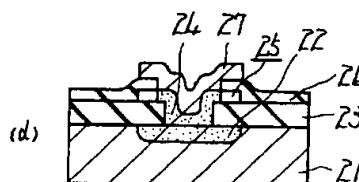
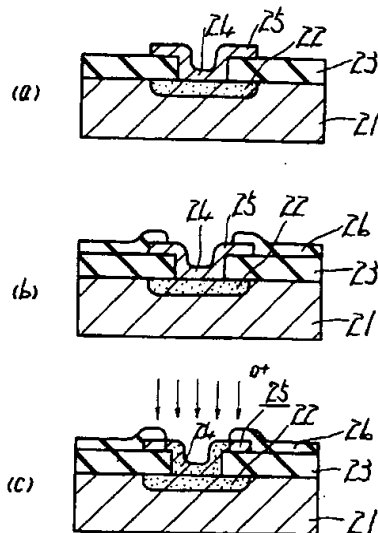
27 … Al配線。

(7317) 代理人 弁護士 則 近 意 佑 (ほか 1 名)

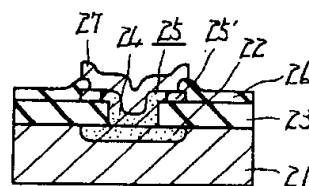
第 1 図



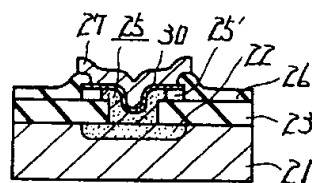
第 2 図



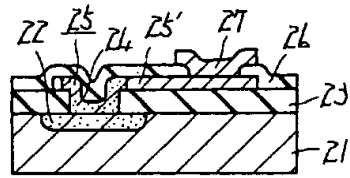
第 3 図



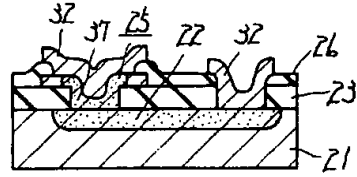
第 4 図



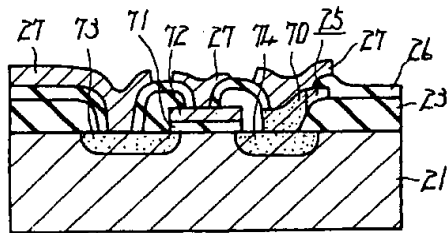
第 5 図



第 6 図



第 7 図



第 8 図

